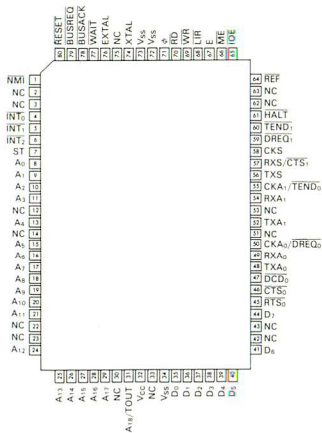
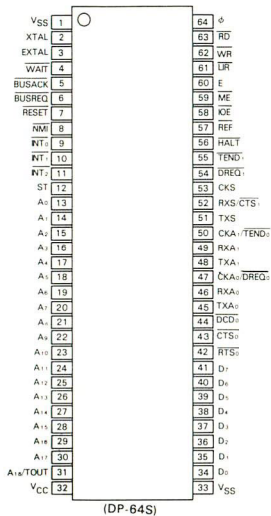
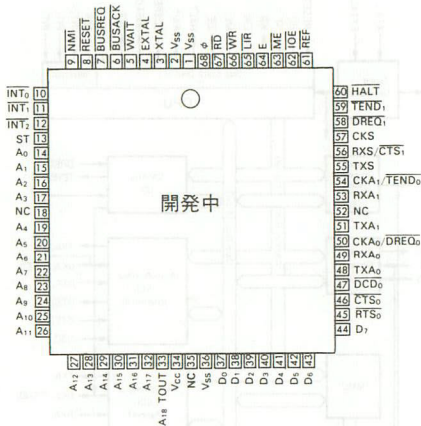
日立マイクロコンピュータシステム

HD64180

インストラクションポケットブック

JUN.1986

■ ピン配置図（上面図）

(DP-64S)　　(FP-80)

(CP-68)

注）NCピンには何も接続しないでください。

■ブロック図

XTAL
EXTAL
RESET
RD
ST
WR
LIR
ME
IOE
HALT
WAIT
BUSREQ
BUSACK
REF
E
NMI
INT0
INT1
INT2
Timing Generator
Bus State Control
Interrupt
CPU
φ
16-bit Programmable Reload Timer (2)
A18/TOUT
(16-bit)
Address Bus
Data Bus (8-bit)
DMACs (2)
DREQ1
TEND1
Clocked Serial I/O Port
TXS
RXS/CTS1
CKS
Asynchronous SCI (channel 0)
TXA0
CKA0/DREQ0
RXA0
RTS0
CTS0
DCD0
MMU
Asynchronous SCI (channel 1)
TXA1
CKA1/TEND0
RXA1
Address Buffer
Data Buffer
VCC
VSS
A0~A17
D0~D7

CPUレジスタ

汎用レジスタ

Accumulator A	Flag F
B Register	C Register
D Register	E Register
H Register	L Register

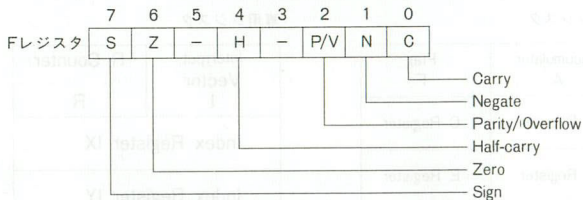
←── レジスタセットGR ──→

Accumulator A'	Flag F'
B' Register	C' Register
D' Register	E' Register
H' Register	L' Register

←── レジスタセットGR' ──→

専用レジスタ

Interrput Vector I	R Counter R
Index Register IX	
Index Register IY	
Stack Pointer SP	
Program Counter PC	

ステータスフラグ

割込み優先順位

割込み要因	優先度	IL			固定コード				
		b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
INT_1	高	*	*	*	0	0	0	0	0
INT_2	↑	*	*	*	0	0	0	1	0
タイマチャネル0		*	*	*	0	0	1	0	0
タイマチャネル1		*	*	*	0	0	1	1	0
DMAチャネル0		*	*	*	0	1	0	0	0
DMAチャネル1		*	*	*	0	1	0	1	0
シリアルI/Oポート		*	*	*	0	1	1	0	0
非同期SCIチャネル0	↓	*	*	*	0	1	1	1	0
非同期SCIチャネル1	低	*	*	*	1	0	0	0	0

各種要求入力の各動作モードにおける受付け可否一覧表

現在の状態 / Action 要求	通常状態 (CPUモード) (IOSTOPモード)	Waitステート	Refresh サイクル	割込み アクノレッジ サイクル	DMA サイクル	BUS RELEASE モード	SLEEP モード	SYSTEM STOP モード
$\overline{WAIT}$	受付ける	受付ける	受付けない	受付ける	受付ける	受付けない	受付けない	受付けない
Refresh要求(内蔵リフレッシュ回路によるリフレッシュサイクル挿入要求)	マシンサイクルの切れ目でリフレッシュサイクル挿入	受付けない	受付けない	マシンサイクルの切れ目でリフレッシュサイクル挿入	マシンサイクルの切れ目でリフレッシュサイクル挿入	受付けない	受付けない	受付けない
$\overline{DREQ_0}$ $\overline{DREQ_1}$	マシンサイクルの切れ目でDMAサイクル挿入	受付けるがマシンサイクルの切れ目までDMAサイクルは挿入されない	受付ける (※)Refreshサイクル終了後，1マシンサイクル実行した後にDMAサイクルが挿入される。	受付ける マシンサイクルの切れ目でDMAサイクルが挿入される	受付ける	受付ける (※)バス解放サイクル終了後1マシンサイクル実行した後にDMAサイクルが挿入される。	受付けない	受付けない
$\overline{BUSREQ}$	マシンサイクルの切れ目でBUS RELEASEモードになる	受付けない	受付けない	マシンサイクルの切れ目でBUS RELEASEモードになる	マシンサイクルの切れ目でBUS RELEASEモードになる	BUS RELEASEモードを継続する	受付ける	受付ける

(※)
$\overline{DREQ_0}$，$\overline{DREQ_1}$がレベル検出に設定されている場合は受付けられない。

(※※)
$\overline{INT_0}$をモード0で使用した場合には受付けられる。バスにのせられた命令の実行終了後$\overline{NMI}$のアクノレッジサイクルに入る。

Action 要求 ＼ 現在の状態		通常状態 (CPUモード) (IOSTOPモード)	Waitステート	Refresh サイクル	割込み アクノレッジ サイクル	DMA サイクル	BUS RELEASE モード	SLEEP モード	SYSTEM STOP モード
割込み	$\overline{INT_0}$ $\overline{INT_1}$ $\overline{INT_2}$	命令の最後のマシンサイクルで受付ける	命令の最後のマシンサイクルで受付ける	受付けない	受付けない	受付けない	受付けない	受付けられてSLEEPモードから通常状態に復帰する	受付けられてSYSTEM STOPモードから通常状態に復帰する
	内蔵I/Oによる割込み要求	命令の最後のマシンサイクルで受付ける	命令の最後のマシンサイクルで受付ける	受付けない	受付けない	受付けない	受付けない	受付けられてSLEEPモードから通常状態に復帰する	受付けない （割込み要求は発生しない）
	$\overline{NMI}$	命令の最後のマシンサイクルで受付ける	命令の最後のマシンサイクルで受付ける	受付けない	受付けない (※※)アクノレッジサイクル終了後次の命令の最後のマシンサイクルで受付けられる	受付ける DMAは中断される	受付けない	受付けられてSLEEPモードから通常状態に復帰する	受付けられてSYSTEM STOPモードから通常状態に復帰する

(※)　$\overline{DREQ_0}$, $\overline{DREQ_1}$がレベル検出に設定されている場合は受付けられない。

(※※)　$\overline{INT_0}$をモード0で使用した場合には受付けられる。バスにのせられた命令の実行終了後$\overline{NMI}$のアクノレッジサイクルに入る。

各種要求の優先順位

CPUに対する各種のRequest入力は，次の3つに分類されます。

① ステート単位で受付け，実行されるもの……WAIT

② マシンサイクル単位で受付け，実行されるもの……リフレッシュ要求

DMA要求

$\overline{\text{BUSREQ}}$

③ 命令単位で受付け，実行されるもの……各種割込み

優先順位は原則として

優先度　高い　①　>　②　>　③　低い　となります。

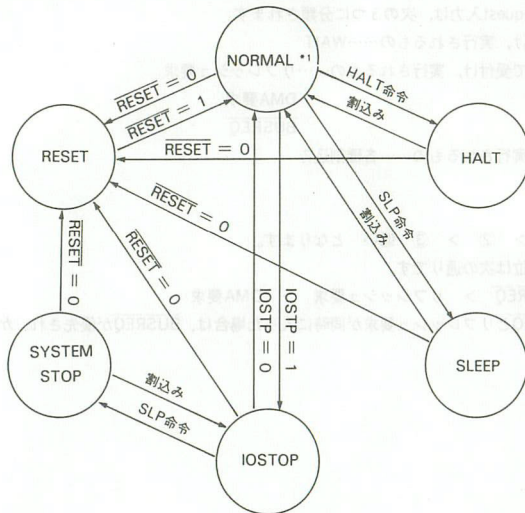
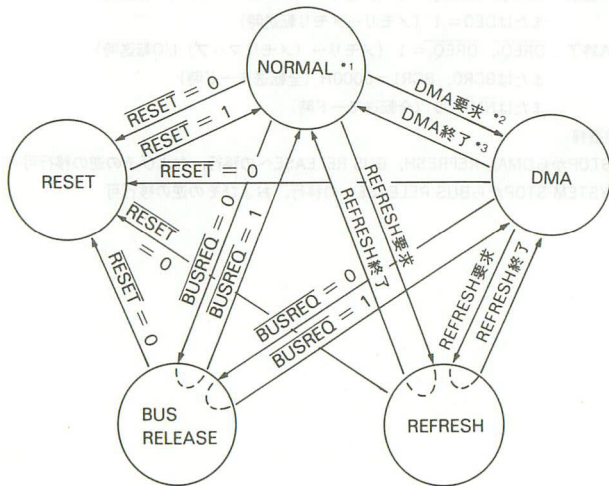
グループ②内の優先順位は次の通りです。

優先度　高い　$\overline{\text{BUSREQ}}$　>　リフレッシュ要求　>　DMA要求

ただし、$\overline{\text{BUSREQ}}$とリフレッシュ要求が同時に入った場合は、$\overline{\text{BUSREQ}}$が優先され、かつリフレッシュ要求はクリアされます。

状態遷移図

NORMAL *1
RESET
HALT
SLEEP
SYSTEM STOP
IOSTOP
$\overline{RESET}$ = 0
$\overline{RESET}$ = 1
$\overline{RESET}$ = 0
HALT命令
割込み
SLP命令
割込み
$\overline{RESET}$ = 0
$\overline{RESET}$ = 0
$\overline{RESET}$ = 0
IOSTP = 0
IOSTP = 1
割込み
SLP命令

NORMAL *1
RESET
DMA
BUS RELEASE
REFRESH
$\overline{\text{RESET}}$ = 0
$\overline{\text{RESET}}$ = 1
$\overline{\text{RESET}}$ = 0
DMA要求 *2
DMA終了 *3
$\overline{\text{RESET}}$ = 0
$\overline{\text{RESET}}$ = 0
$\overline{\text{BUSREQ}}$ = 0
$\overline{\text{BUSREQ}}$ = 1
REFRESH要求
REFRESH終了
$\overline{\text{BUSREQ}}$ = 0
$\overline{\text{BUSREQ}}$ = 1
REFRESH要求
REFRESH終了

注）＊1　NORMALとは，通常のCPU命令実行状態を表わす。

＊2　DMA要求：$\overline{DREQ_0}$，$\overline{DREQ_1}$＝0（メモリ↔（メモリマップ）I/O転送時）

またはDE0＝1（メモリ↔メモリ転送時）

＊3　DMA終了：$\overline{DREQ_0}$，$\overline{DREQ_1}$＝1（メモリ↔（メモリマップ）I/O転送時）

またはBCR0，BCR1＝0000H（全転送モード時）

または$\overline{NMI}$＝0（全転送モード時）

上図以外の状態遷移

1．HALT，IOSTOPからDMA，REFRESH，BUS RELEASEへの移行，およびその逆の移行可

2．SLEEP，SYSTEM STOPからBUS RELEASEへの移行，およびその逆の移行可

ステータス信号一覧表

各モードでの状態信号の出力を，下記にまとめて示します。

モード		$\overline{\mathrm{LIR}}$	$\overline{\mathrm{ME}}$	$\overline{\mathrm{IOE}}$	$\overline{\mathrm{RD}}$	$\overline{\mathrm{WR}}$	$\overline{\mathrm{REF}}$	$\overline{\mathrm{HALT}}$	$\overline{\mathrm{BUSACK}}$	ST	Address BUS	Data BUS
CPU動作	第1オペコードフェッチ	0	0	1	0	1	1	1	1	0	A	IN
	第1オペコード以外のオペコードフェッチ	0	0	1	0	1	1	1	1	1	A	IN
	メモリリード	1	0	1	0	1	1	1	1	1	A	IN
	メモリライト	1	0	1	1	0	1	1	1	1	A	OUT
	I/O リード	1	1	0	0	1	1	1	1	1	A	IN
	I/O ライト	1	1	0	1	0	1	1	1	1	A	OUT
	内部動作	1	1	1	1	1	1	1	1	1	A	IN
リフレッシュ		1	0	1	1	1	0	1	1	*	A	IN
割込みアクノレッジ(第1マシンサイクル)	$\overline{\mathrm{NMI}}$	0	0	1	0	1	1	1	1	0	A	IN
	$\overline{\mathrm{INT_0}}$	0	1	0	1	1	1	1	1	0	A	IN
	$\overline{\mathrm{INT_1}}$, $\overline{\mathrm{INT_2}}$, & 内部割込み	1	1	1	1	1	1	1	1	0	A	IN

1：Highレベル，0：Lowレベル，＊：不定，A：任意値，Z：ハイインピーダンス，IN：入力，OUT：出力

モード		$\overline{\text{LIR}}$	$\overline{\text{ME}}$	$\overline{\text{IOE}}$	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{REF}}$	$\overline{\text{HALT}}$	$\overline{\text{BUSACK}}$	ST	Address BUS	Data BUS
BUS RELEASE		1	Z	Z	Z	Z	1	1	0	*	Z	IN
HALT		0	0	1	0	1	1	0	1	0	A	IN
SLEEP		1	1	1	1	1	1	0	1	1	1	IN
内部DMA	メモリリード	1	0	1	0	1	1	1	1	0	A	IN
	メモリライト	1	0	1	1	0	1	1	1	0	A	OUT
	I/O リード	1	1	0	0	1	1	1	1	0	A	IN
	I/O ライト	1	1	0	1	0	1	1	1	0	A	OUT
リセット		1	1	1	1	1	1	1	1	1	Z	IN

1：Highレベル，0：Lowレベル，＊：不定，A：任意値，Z：ハイインピーダンス，IN：入力，OUT：出力

リセット時および低消費電力モード時の各端子の状態

記号	端子のモード選択	端子の状態			
		リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
$\overline{WAIT}$	―――	IN(N)	IN(N)	IN(A)	IN(N)
$\overline{BUSACK}$	―――	1	OUT	OUT	OUT
$\overline{BUSREQ}$	―――	IN(N)	IN(A)	IN(A)	IN(A)
$\overline{RESET}$	―――	0	IN(A)	IN(A)	IN(A)
$\overline{NMI}$	―――	IN(N)	IN(A)	IN(A)	IN(A)
$\overline{INT_0}$	―――	IN(N)	IN(A)	IN(A)	IN(A)
$\overline{INT_1}$	―――	IN(N)	IN(A)	IN(A)	IN(A)
$\overline{INT_2}$	―――	IN(N)	IN(A)	IN(A)	IN(A)
ST	―――	1	1	OUT	1
A_0~A_{17}	―――	Z	1	A	1
A_{18}/TOUT	A_{18}選択	Z	1	A	1
	TOUT選択	Z	OUT	H	H
D_0~D_7	―――	Z	Z	A	Z

1：Highレベル, 0：Lowレベル, A：任意値, Z：ハイインピーダンス, IN(A)：入力(活性), IN(N)：入力(非活性), OUT：出力, H：指示されたモードに移る前の状態を保持

記　　号	端子のモード選択	端　子　の　状　態			
		リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
$\overline{RTS}_0$	—	1	H	OUT	H
$\overline{CTS}_0$	—	IN(N)	IN(A)	IN(N)	IN(N)
$\overline{DCD}_0$	—	IN(N)	IN(A)	IN(N)	IN(N)
TXA_0	—	1	OUT	H	H
RXA_0	—	IN(N)	IN(A)	IN(N)	IN(N)
$CKA_0/\overline{DREQ}_0$	内部クロック選択	Z	OUT	Z	Z
	外部クロック選択	Z	IN(A)	IN(N)	IN(N)
	$\overline{DREQ}_0$選択	Z	IN(N)	IN(A)	IN(N)
TXA_1	—	1	OUT	H	H
RXA_1	—	IN(N)	IN(A)	IN(N)	IN(N)
$CKA_1/\overline{TEND}_0$	内部クロック選択	Z	OUT	Z	Z
	外部クロック選択	Z	IN(A)	IN(N)	IN(N)
	$\overline{TEND}_0$選択	Z	1	OUT	1
TXS	—	1	OUT	H	H
$RXS/\overline{CTS}_1$	RXS選択	IN(N)	IN(A)	IN(N)	IN(N)
	$\overline{CTS}_1$選択	IN(N)	IN(A)	IN(N)	IN(N)

1：Highレベル，0：Lowレベル，A：任意値，Z：ハイインピーダンス，IN(A)：入力(活性)，IN(N)：入力(非活性)，OUT：出力，H：指示されたモードに移る前の状態を保持

記　　号	端子のモード選択	端子の状態			
		リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
CKS	内部クロック選択	Z	OUT	1	1
	外部クロック選択	Z	IN(A)	Z	Z
$\overline{DREQ_1}$	――――	IN(N)	IN(N)	IN(A)	IN(N)
$\overline{TEND_1}$	――――	1	1	OUT	1
$\overline{HALT}$	――――	1	OUT	OUT	0
$\overline{REF}$	――――	1	1	OUT	1
$\overline{IOE}$	――――	1	1	OUT	1
$\overline{ME}$	――――	1	1	OUT	1
E	――――	0	Eクロック出力	同　左	同　左
$\overline{LIR}$	――――	1	1	OUT	1
$\overline{WR}$	――――	1	1	OUT	1
$\overline{RD}$	――――	1	1	OUT	1
ϕ	――――	ϕクロック出力	同　左	同　左	同　左

1：Highレベル，0：Lowレベル，A：任意値，Z：ハイインピーダンス，IN(A)：入力(活性)，IN(N)：入力(非活性)，OUT：出力，H：指示されたモードに移る前の状態を保持

命令セット一覧

命令セットの一覧表の中で使用される記号を以下に説明します。

1. レジスタ指定

g, g', ww, xx, yy, zz はレジスタを指定する記号です。g, g'は8ビットのレジスタ、ww, xx, yy, zz は16ビットのレジスタペアを指定します。各々対応するレジスタは下記の通りです。

g, g'	Reg.
000	B
001	C
010	D
011	E
100	H
101	L
111	A

ww	Reg.
00	BC
01	DE
10	HL
11	SP

xx	Reg.
00	BC
01	DE
10	IX
11	SP

yy	Reg.
00	BC
01	DE
10	IY
11	SP

zz	Reg.
00	BC
01	DE
10	HL
11	A,F

2. ビット指定

bは、ビット操作命令におけるビットオペラントが何ビット目かを指定する記号です。各々対応するビットは下記の通りです。

b	Bit
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

3. コンディション指定

fは、演算の結果を判定して命令を実行する場合の条件を指定する記号です。各々対応するコンディションは下記の通りです。

f	Condition	
000	NZ	non zero
001	Z	zero
010	NC	non carry
011	C	carry
100	PO	parity odd
101	PE	parity even
110	P	sign plus
111	M	sign minus

4. リスタートアドレス

vは、リスタート命令のリスタートアドレスを指定する記号です。各々対応するアドレスは下記の通りです。

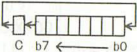
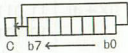
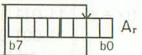
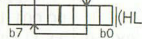
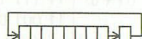
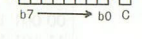
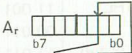
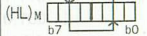
v	Address
000	00H
001	08H
010	10H
011	18H
100	20H
101	28H
110	30H
111	38H

5. フラグ

フラグの変化を示す記号について説明します。

● ：その命令によってフラグは変化しない。
× ：その命令によってフラグの変化は不定。
↕ ：その命令によって演算結果に従いフラグは変化。
S ：その命令によって"1"にセット。
R ：その命令によって"0"にリセット。
P ：その命令によってパリティフラグとして変化。
V ：その命令によってオーバフローフラグとして変化。

6. その他

( )M ：( )内の内容をアドレスとするメモリを表わします。
( )I ：( )内の内容をアドレスとするI/Oを表わします。
m ：8ビット値
mn ：16ビット値
S ：ソースアドレッシングモード
D ：デスティネイションアドレッシングモード
b・( )M or b・gr ：( )内の内容をアドレスとするメモリ、又はgrで指定されるレジスタの内容の、bで指定されるビットを表わします。
r or R ：rの添字がついていると、8ビットレジスタを表わします。Rの添字がついていると、16ビットレジスタを表わします。

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
ADD	ADD A, g	10 000 g	REG	IMP	2	1	4	$A_r + g_r \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADD A, (HL)	10 000 110	REGI	IMP	2	1	6	$A_r + (HL)_M \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADD A, m	11 000 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r + m \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADD A, (IX+d)	11 011 101 10 000 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IX+d)_M \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADD A, (IY+d)	11 111 101 10 000 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IY+d)_M \rightarrow A_r$	↕	↕	↕	V	R	↕
ADC	ADC A, g	10 001 g	REG	IMP	2	1	4	$A_r + g_r + c \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADC A, (HL)	10 001 110	REGI	IMP	2	1	6	$A_r + (HL)_M + c \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADC A, m	11 001 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r + m + c \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADC A, (IX+d)	11 011 101 10 001 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IX+d)_M + c \rightarrow A_r$	↕	↕	↕	V	R	↕
	ADC A, (IY+d)	11 111 101 10 001 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IY+d)_M + c \rightarrow A_r$	↕	↕	↕	V	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
AND	AND g	10 100 g	REG	IMP	2	1	4	$A_r \cdot g_r \to A_r$	↕	↕	S	P	R	R
	AND (HL)	10 100 110	REGI	IMP	2	1	6	$A_r \cdot (HL)_M \to A_r$	↕	↕	S	P	R	R
	AND m	11 100 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r \cdot m \to A_r$	↕	↕	S	P	R	R
	AND (IX+d)	11 011 101 10 100 110 〈 d 〉	IND	IMP	6	3	14	$A_r \cdot (IX+d)_M \to A_r$	↕	↕	S	P	R	R
	AND (IY+d)	11 111 101 10 100 110 〈 d 〉	IND	IMP	6	3	14	$A_r \cdot (IY+d)_M \to A_r$	↕	↕	S	P	R	R
Compare	CP g	10 111 g	REG	IMP	2	1	4	$A_r - g_r$	↕	↕	↕	V	S	↕
	CP (HL)	10 111 110	REGI	IMP	2	1	6	$A_r - (HL)_M$	↕	↕	↕	V	S	↕
	CP m	11 111 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r - m$	↕	↕	↕	V	S	↕
	CP (IX+d)	11 011 101 10 111 110 〈 d 〉	IND	IMP	6	3	14	$A_r - (IX+d)_M$	↕	↕	↕	V	S	↕
	CP (IY+d)	11 111 101 10 111 110 〈 d 〉	IND	IMP	6	3	14	$A_r - (IY+d)_M$	↕	↕	↕	V	S	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
COMPLEMENT	CPL	00 101 111	IMP	IMP	1	1	3	$\overline{A_r} \rightarrow A_r$	●	●	S	●	S	●
DEC	DEC g	00 g 101	REG	REG	2	1	4	$g_r - 1 \rightarrow g_r$	↕	↕	↕	V	S	●
	DEC (HL)	00 110 101	REGI	REGI	4	1	10	$(HL)_M - 1 \rightarrow (HL)_M$	↕	↕	↕	V	S	●
	DEC (IX+d)	11 011 101 00 110 101 < d >	IND	IND	8	3	18	$(IX+d)_M - 1 \rightarrow$ $(IX+d)_M$	↕	↕	↕	V	S	●
	DEC (IY+d)	11 111 101 00 110 101 < d >	IND	IND	8	3	18	$(IY+d)_M - 1 \rightarrow$ $(IY+d)_M$	↕	↕	↕	V	S	●
INC	INC g	00 g 100	REG	REG	2	1	4	$g_r + 1 \rightarrow g_r$	↕	↕	↕	V	R	●
	INC (HL)	00 110 100	REGI	REGI	4	1	10	$(HL)_M + 1 \rightarrow (HL)_M$	↕	↕	↕	V	R	●
	INC (IX+d)	11 011 101 00 110 100 < d >	IND	IND	8	3	18	$(IX+d)_M + 1 \rightarrow$ $(IX+d)_M$	↕	↕	↕	V	R	●
	INC (IY+d)	11 111 101 00 110 100 < d >	IND	IND	8	3	18	$(IY+d)_M + 1 \rightarrow$ $(IY+d)_M$	↕	↕	↕	V	R	●
MULT	MLT ww	11 101 101 01 ww1 100	REG	REG	13	2	17	$wwH_r \times wwL_r \rightarrow ww_R$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes S	D	Machine Cycles	Bytes	States	Operation	7 S	6 Z	4 H	2 P/V	1 N	0 C
NEGATE	NEG	11 101 101 01 000 100	IMP	IMP	2	2	6	$0 - A_r \rightarrow A_r$	↕	↕	↕	V	S	↕
OR	OR g	10 110 g	REG	IMP	2	1	4	$A_r + g_r \rightarrow A_r$	↕	↕	R	P	R	R
	OR (HL)	10 110 110	REGI	IMP	2	1	6	$A_r + (HL)_M \rightarrow A_r$	↕	↕	R	P	R	R
	OR m	11 110 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r + m \rightarrow A_r$	↕	↕	R	P	R	R
	OR (IX+d)	11 011 101 10 110 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IX+d)_M \rightarrow A_r$	↕	↕	R	P	R	R
	OR (IY+d)	11 111 101 10 110 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IY+d)_M \rightarrow A_r$	↕	↕	R	P	R	R
SUB	SUB g	10 010 g	REG	IMP	2	1	4	$A_r - g_r \rightarrow A_r$	↕	↕	↕	V	S	↕
	SUB (HL)	10 010 110	REGI	IMP	2	1	6	$A_r - (HL)_M \rightarrow A_r$	↕	↕	↕	V	S	↕
	SUB m	11 010 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r - m \rightarrow A_r$	↕	↕	↕	V	S	↕
	SUB (IX+d)	11 011 101 10 010 110 〈 d 〉	IND	IMP	6	3	14	$A_r - (IX+d)_M \rightarrow A_r$	↕	↕	↕	V	S	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
SUB	SUB (IY+d)	11 111 101 10 010 110 〈 d 〉	IND	IMP	6	3	14	$A_r-(IY+d)_M \rightarrow A_r$	↕	↕	↕	V	S	↕
SUBC	SBC A, g	10 011 g	REG	IMP	2	1	4	$A_r-g_r-c \rightarrow A_r$	↕	↕	↕	V	S	↕
	SBC A, (HL)	10 011 110	REGI	IMP	2	1	6	$A_r-(HL)_M-c \rightarrow A_r$	↕	↕	↕	V	S	↕
	SBC A, m	11 011 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r-m-c \rightarrow A_r$	↕	↕	↕	V	S	↕
	SBC A, (IX+d)	11 011 101 10 011 110 〈 d 〉	IND	IMP	6	3	14	$A_r-(IX+d)_M-c \rightarrow A_r$	↕	↕	↕	V	S	↕
	SBC A, (IY+d)	11 111 101 10 011 110 〈 d 〉	IND	IMP	6	3	14	$A_r-(IY+d)_M-c \rightarrow A_r$	↕	↕	↕	V	S	↕
TEST	TST g	11 101 101 00 g 100	REG		3	2	7	$A_r \cdot g_r$	↕	↕	S	P	R	R
	TST (HL)	11 101 101 00 110 100	REGI		4	2	10	$A_r \cdot (HL)_M$	↕	↕	S	P	R	R

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
TEST	TST m	11 101 101 01 100 100 ‹m›	IMMED		3	3	9	$A_r \cdot m$	↕	↕	S	P	R	R
XOR	XOR g	10 101 g	REG	IMP	2	1	4	$A_r \oplus g_r \rightarrow A_r$	↕	↕	R	P	R	R
	XOR (HL)	10 101 110	REGI	IMP	2	1	6	$A_r \oplus (HL)_M \rightarrow A_r$	↕	↕	R	P	R	R
	XOR m	11 101 110 ‹m›	IMMED	IMP	2	2	6	$A_r \oplus m \rightarrow A_r$	↕	↕	R	P	R	R
	XOR (IX+d)	11 011 101 10 101 110 ‹d›	IND	IMP	6	3	14	$A_r \oplus (IX+d)_M \rightarrow A_r$	↕	↕	R	P	R	R
	XOR (IY+d)	11 111 101 10 101 110 ‹d›	IND	IMP	6	3	14	$A_r \oplus (IY+d)_M \rightarrow A_r$	↕	↕	R	P	R	R
Rotate and Shift Data	RLA	00 010 111	IMP	IMP	1	1	3	C b7 ← b0	●	●	R	●	R	↕
	RL g	11 001 011 00 010 g	REG	REG	3	2	7		↕	↕	R	P	R	↕
	RL (HL)	11 001 011 00 010 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Rotate and Shift Data	RL (IX+d)	11 011 101 11 001 011 〈d〉 00 010 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RL (IY+d)	11 111 101 11 001 011 〈d〉 00 010 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RLCA	00 000 111	IMP	IMP	1	1	3	C b7 ← b0	●	●	R	●	R	↕
	RLC g	11 001 011 00 000 g	REG	REG	3	2	7		↕	↕	R	P	R	↕
	RLC (HL)	11 001 011 00 000 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕
	RLC (IX+d)	11 011 101 11 001 011 〈d〉 00 000 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RLC (IY+d)	11 111 101 11 001 011 〈d〉 00 000 110	IND	IND	7	4	19		↕	↕	R	P	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
Rotate and Shift Data	RLD	11 101 101 01 101 111	IMP	IMP	8	2	16	A_r b7 b0 $(HL)_M$ b7 b0	↕	↕	R	P	R	●
	RRA	00 011 111	IMP	IMP	1	1	3		●	●	R	●	R	↕
	RR g	11 001 011 00 011 g	REG	REG	3	2	7	b7 → b0 C	↕	↕	R	P	R	↕
	RR (HL)	11 001 011 00 011 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕
	RR (IX+d)	11 011 101 11 001 011 < d > 00 011 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RR (IY+d)	11 111 101 11 001 011 < d > 00 011 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RRCA	00 001 111	IMP	IMP	1	1	3		●	●	R	●	R	↕
	RRC g	11 001 011 00 001 g	REG	REG	3	2	7	b7 → b0 C	↕	↕	R	P	R	↕
	RRC (HL)	11 001 011 00 001 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	P/V	H	N	C
Rotate and Shift Data	RRC (IX+d)	11 011 101 11 001 011 〈d〉 00 001 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RRC (IY+d)	11 111 101 11 001 011 〈d〉 00 001 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	RRD	11 101 101 01 100 111	IMP	IMP	8	2	16	A_r b7 b0 $(HL)_M$ b7 b0	↕	↕	R	P	R	●
	SLA g	11 001 011 00 100 g	REG	REG	3	2	7		↕	↕	R	P	R	↕
	SLA (HL)	11 001 011 00 100 110	REGI	REGI	5	2	13	C b7 b0 ←0	↕	↕	R	P	R	↕
	SLA (IX+d)	11 011 101 11 001 011 〈d〉 00 100 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	SLA (IY+d)	11 111 101 11 001 011 〈d〉 00 100 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	SRA g	11 001 011 00 101 g	REG	REG	3	2	7	b7 b0 C	↕	↕	R	P	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
Rotate and Shift Data	SRA (HL)	11 001 011 00 101 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕
	SRA (IX+d)	11 011 101 11 001 011 < d > 00 101 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	SRA (IY+d)	11 111 101 11 001 011 < d > 00 101 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	SRL g	11 001 011 00 111 g	REG	REG	3	2	7	0→[b7 … b0]→[C]	↕	↕	R	P	R	↕
	SRL (HL)	11 001 011 00 111 110	REGI	REGI	5	2	13		↕	↕	R	P	R	↕
	SRL (IX+d)	11 011 101 11 001 011 < d > 00 111 110	IND	IND	7	4	19		↕	↕	R	P	R	↕
	SRL (IY+d)	11 111 101 11 001 011 < d > 00 111 110	IND	IND	7	4	19		↕	↕	R	P	R	↕

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Bit Set	SET b, g	11 001 011 11 b g	REG	REG	3	2	7	$1 \rightarrow b \cdot g_r$	●	●	●	●	●	●
	SET b,(HL)	11 001 011 11 b 110	REGI	REGI	5	2	13	$1 \rightarrow b \cdot (HL)_M$	●	●	●	●	●	●
	SET b,(IX+d)	11 011 101 11 001 011 〈 d 〉 11 b 110	IND	IND	7	4	19	$1 \rightarrow b \cdot (IX+d)_M$	●	●	●	●	●	●
	SET b,(IY+d)	11 111 101 11 001 011 〈 d 〉 11 b 110	IND	IND	7	4	19	$1 \rightarrow b \cdot (IY+d)_M$	●	●	●	●	●	●
Bit Reset	RES b, g	11 001 011 10 b g	REG	REG	3	2	7	$0 \rightarrow b \cdot g_r$	●	●	●	●	●	●
	RES b,(HL)	11 001 011 10 b 110	REGI	REGI	5	2	13	$0 \rightarrow b \cdot (HL)_M$	●	●	●	●	●	●
	RES b,(IX+d)	11 011 101 11 001 011 〈 d 〉 10 b 110	IND	IND	7	4	19	$0 \rightarrow b \cdot (IX+d)_M$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7 S	6 Z	4 H	2 P/V	1 N	0 C
Bit Reset	RES b, (IY+d)	11 111 101 11 001 011 〈 d 〉 10 b 110	IND	IND	7	4	19	$0 \to b \cdot (IY+d)_M$	●	●	●	●	●	●
Bit Test	BIT b, g	11 001 011 01 b g	REG		2	2	6	$\overline{b \cdot g_r} \to z$	X	↕	S	X	R	●
	BIT b, (HL)	11 001 011 01 b 110	REGI		3	2	9	$\overline{b \cdot (HL)_M} \to z$	X	↕	S	X	R	●
	BIT b, (IX+d)	11 011 101 11 001 011 〈 d 〉 01 b 110	IND		5	4	15	$\overline{b \cdot (IX+d)_M} \to z$	X	↕	S	X	R	●
	BIT b, (IY+d)	11 111 101 11 001 011 〈 d 〉 01 b 110	IND		5	4	15	$\overline{b \cdot (IY+d)_M} \to z$	X	↕	S	X	R	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
ADD	ADD HL, ww	00 ww1 001	REG	IMP	5	1	7	$HL_R + ww_R \to HL_R$	●	●	X	●	R	↕
	ADD IX, xx	11 011 101	REG	IMP	6	2	10	$IX_R + xx_R \to IX_R$	●	●	X	●	R	↕
		00 xx1 001												
	ADD IY, yy	11 111 101	REG	IMP	6	2	10	$IY_R + yy_R \to IY_R$	●	●	X	●	R	↕
		00 yy1 001												
ADC	ADC HL, ww	11 101 101	REG	IMP	6	2	10	$HL_R + ww_R + c \to HL_R$	↕	↕	X	V	R	↕
		01 ww1 010												
DEC	DEC ww	00 ww1 011	REG	REG	2	1	4	$ww_R - 1 \to ww_R$	●	●	●	●	●	●
	DEC IX	11 011 101	IMP	IMP	3	2	7	$IX_R - 1 \to IX_R$	●	●	●	●	●	●
		00 101 011												
	DEC IY	11 111 101	IMP	IMP	3	2	7	$IY_R - 1 \to IY_R$	●	●	●	●	●	●
		00 101 011												
INC	INC ww	00 ww0 011	REG	REG	2	1	4	$ww_R + 1 \to ww_R$	●	●	●	●	●	●
	INC IX	11 011 101	IMP	IMP	3	2	7	$IX_R + 1 \to IX_R$	●	●	●	●	●	●
		00 100 011												
	INC IY	11 111 101	IMP	IMP	3	2	7	$IY_R + 1 \to IY_R$	●	●	●	●	●	●
		00 100 011												

Operation name	MNEMONICS	OP-code	Addressing Modes S	Addressing Modes D	Machine Cycles	Bytes	States	Operation	Flag 7 S	Flag 6 Z	Flag 4 H	Flag 2 P/V	Flag 1 N	Flag 0 C
SBC	SBC HL, ww	11 101 101 01 ww0 010	REG	IMP	6	2	10	$HL_R - ww_R - c \rightarrow HL_R$	↕	↕	X	V	S	↕
Load 8 bit Data	LD A, I	11 101 101 01 010 111	IMP	IMP	2	2	6	$I_r \rightarrow A_r$	↕	↕	R	IEF_2	R	●
	LD A, R	11 101 101 01 011 111	IMP	IMP	2	2	6	$R_r \rightarrow A_r$	↕	↕	R	IEF_2	R	●
	LD A, (BC)	00 001 010	REGI	IMP	2	1	6	$(BC)_M \rightarrow A_r$	●	●	●	●	●	●
	LD A, (DE)	00 011 010	REGI	IMP	2	1	6	$(DE)_M \rightarrow A_r$	●	●	●	●	●	●
	LD A, (mn)	00 111 010 〈 n 〉 〈 m 〉	EXT	IMP	4	3	12	$(mn)_M \rightarrow A_r$	●	●	●	●	●	●
	LD I, A	11 101 101 01 000 111	IMP	IMP	2	2	6	$A_r \rightarrow I_r$	●	●	●	●	●	●
	LD R, A	11 101 101 01 001 111	IMP	IMP	2	2	6	$A_r \rightarrow R_r$	●	●	●	●	●	●
	LD (BC), A	00 000 010	IMP	REGI	3	1	7	$A_r \rightarrow (BC)_M$	●	●	●	●	●	●
	LD (DE), A	00 010 010	IMP	REGI	3	1	7	$A_r \rightarrow (DE)_M$	●	●	●	●	●	●
	LD (mn), A	00 110 010 〈 n 〉 〈 m 〉	IMP	EXT	5	3	13	$A_r \rightarrow (mn)_M$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Load 8 Bit Data	LD g, g′	01 g g′	REG	REG	2	1	4	$g_r' \to g_r$	●	●	●	●	●	●
	LD g, (HL)	01 g 110	REGI	REG	2	1	6	$(HL)_M \to g_r$	●	●	●	●	●	●
	LD g, m	00 g 110 ⟨ m ⟩	IMMED	REG	2	2	6	$m \to g_r$	●	●	●	●	●	●
	LD g, (IX+d)	11 011 101 01 g 110 ⟨ d ⟩	IND	REG	6	3	14	$(IX+d)_M \to g_r$	●	●	●	●	●	●
	LD g, (IY+d)	11 111 101 01 g 110 ⟨ d ⟩	IND	REG	6	3	14	$(IY+d)_M \to g_r$	●	●	●	●	●	●
	LD (HL), m	00 110 110 ⟨ m ⟩	IMMED	REGI	3	2	9	$m \to (HL)_M$	●	●	●	●	●	●
	LD (IX+d), m	11 011 101 00 110 110 ⟨ d ⟩ ⟨ m ⟩	IMMED	IND	5	4	15	$m \to (IX+d)_M$	●	●	●	●	●	●
	LD (IY+d), m	11 111 101 00 110 110 ⟨ d ⟩ ⟨ m ⟩	IMMED	IND	5	4	15	$m \to (IY+d)_M$	●	●	●	●	●	●
	LD (HL), g	01 110 g	REG	REGI	3	1	7	$g_r \to (HL)_M$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes S	Addressing Modes D	Machine Cycles			Operation	Flag 7 S	Flag 6 Z	Flag 4 H	Flag 2 P/V	Flag 1 N	Flag 0 C
Load 8Bit Data	LD (IX+d), g	11 011 101 01 110 g 〈 d 〉	REG	IND	7	3	15	$g_r \rightarrow (IX+d)_M$	●	●	●	●	●	●
	LD (IY+d), g	11 111 101 01 110 g 〈 d 〉	REG	IND	7	3	15	$g_r \rightarrow (IY+d)_M$	●	●	●	●	●	●
Load 16Bit Data	LD ww, mn	00 ww0 001 〈 n 〉 〈 m 〉	IMMED	REG	3	3	9	$mn \rightarrow ww_R$	●	●	●	●	●	●
	LD IX, mn	11 011 101 00 100 001 〈 n 〉 〈 m 〉	IMMED	IMP	4	4	12	$mn \rightarrow IX_R$	●	●	●	●	●	●
	LD IY, mn	11 111 101 00 100 001 〈 n 〉 〈 m 〉	IMMED	IMP	4	4	12	$mn \rightarrow IY_R$	●	●	●	●	●	●
	LD SP, HL	11 111 001	IMP	IMP	2	1	4	$HL_R \rightarrow SP_R$	●	●	●	●	●	●
	LD SP, IX	11 011 101 11 111 001	IMP	IMP	3	2	7	$IX_R \rightarrow SP_R$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes S	Addressing Modes D	Machine Cycles	Bytes	States	Operation	Flag 7 S	6 Z	4 H	2 P/V	1 N	0 C
Load 16Bit Data	LD SP, IY	11 111 101 11 111 001	IMP	IMP	3	2	7	$IY_R \rightarrow SP_R$	●	●	●	●	●	●
	LD ww, (mn)	11 101 101 01 ww1 011 〈 n 〉 〈 m 〉	EXT	REG	6	4	18	$(mn+1)_M \rightarrow wwH_r$ $(mn)_M \rightarrow wwL_r$	●	●	●	●	●	●
	LD HL, (mn)	00 101 010 〈 n 〉 〈 m 〉	EXT	IMP	5	3	15	$(mn+1)_M \rightarrow H_r$ $(mn)_M \rightarrow L_r$	●	●	●	●	●	●
	LD IX, (mn)	11 011 101 00 101 010 〈 n 〉 〈 m 〉	EXT	IMP	6	4	18	$(mn+1)_M \rightarrow IXH_r$ $(mn)_M \rightarrow IXL_r$	●	●	●	●	●	●
	LD IY, (mn)	11 111 101 00 101 010 〈 n 〉 〈 m 〉	EXT	IMP	6	4	18	$(mn+1)_M \rightarrow IYH_r$ $(mn)_M \rightarrow IYL_r$	●	●	●	●	●	●
	LD (mn), ww	11 101 101 01 ww0 011 〈 n 〉 〈 m 〉	REG	EXT	7	4	19	$wwH_r \rightarrow (mn+1)_M$ $wwL_r \rightarrow (mn)_M$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
Load 16 bit Data	LD (mn), HL	00 100 010 〈 n 〉 〈 m 〉	IMP	EXT	6	3	16	$H_r \rightarrow (mn+1)_M$ $L_r \rightarrow (mn)_M$	●	●	●	●	●	●
	LD (mn), IX	11 011 101 00 100 010 〈 n 〉 〈 m 〉	IMP	EXT	7	4	19	$IXH_r \rightarrow (mn+1)_M$ $IXL_r \rightarrow (mn)_M$	●	●	●	●	●	●
	LD (mn), IY	11 111 101 00 100 010 〈 n 〉 〈 m 〉	IMP	EXT	7	4	19	$IYH_r \rightarrow (mn+1)_M$ $IYL_r \rightarrow (mn)_M$	●	●	●	●	●	●
Block Transfer Search Data	CPD	11 101 101 10 101 001	REG/ IMP		6	2	12	$A_r - (HL)_M$ $BC_R - 1 \rightarrow BC_R$ $HL_R - 1 \rightarrow HL_R$	↕	② ↕	↕	① ↕	S	●
	CPDR	11 101 101 10 111 001	REG/ IMP		8 6	2 2	14 12	$BC_R \neq 0$ $A_r \neq (HL)_M$ $BC_R = 0$ or $A_r = (HL)_M$ Q [$A_r - (HL)_M$, $BC_R - 1 \rightarrow BC_R$, $HL_R - 1 \rightarrow HL_R$] Repeat Q until $A_r = (HL)_M$ or $BC_R = 0$	↕	② ↕	↕	① ↕	S	●

Operation name	MNEMONICS	OP-code	Addressing Modes S	Addressing Modes D	Machine Cycles	Bytes	States	Operation	Flag 7 S	Flag 6 Z	Flag 4 H	Flag 2 P/V	Flag 1 N	Flag 0 C
Block Transfer Search Data	CPI	11 101 101 10 100 001	REGI/ IMP		6	2	12	$A_r - (HL)_M$ $BC_R - 1 \to BC_R$ $HL_R + 1 \to HL_R$	↕	② ↕	↕	① ↕	S	●
	CPIR	11 101 101 10 110 001	REGI/ IMP		8 6	2 2	14 12	$BC_R \neq 0$ $A_r \neq (HL)_M$ $BC_R = 0$ or $A_r = (HL)_M$ Q [$A_r - (HL)_M$ $BC_R - 1 \to BC_R$ $HL_R + 1 \to HL_R$] Repeat Q until $A_r = (HL)_M$ or $BC_R = 0$	↕	② ↕	↕	① ↕	S	●
	LDD	11 101 101 10 101 000	REGI	REGI	4	2	12	$(HL)_M \to (DE)_M$ $BC_R - 1 \to BC_R$ $DE_R - 1 \to DE_R$ $HL_R - 1 \to HL_R$	●	●	R	① ↕	R	●

① P/V = 0 : $BC_R - 1 = 0$
P/V = 1 : $BC_R - 1 \neq 0$
② Z = 1 : $A_r = (HL)_M$
Z = 0 : $A_r \neq (HL)_M$

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Block Transfer Search Data	LDDR	11 101 101 10 111 000	REGI	REGI	6 4	2 2	14 (BCR≠0) 12 (BCR=0)	Q [(HL) M→(DE) M BCR−1→BCR DER−1→DER HLR−1→HLR Repeat Q until BCR=0	●	●	R	R	R	●
	LDI	11 101 101 10 100 000	REGI	REGI	4	2	12	(HL) M→(DE) M BCR−1→BCR DER+1→DER HLR+1→HLR	●	●	R	↕ ①	R	●
	LDIR	11 101 101 10 110 000	REGI	REGI	6 4	2 2	14 (BCR≠0) 12 (BCR=0)	Q [(HL) M→(DE) M BCR−1→BCR DER+1→DER HLR+1→HLR Repeat Q until BCR=0	●	●	R	R	R	●
PUSH	PUSH zz	11 zz0 101	REG	IMP	5	1	11	zzLr→(SP−2) M zzHr→(SP−1) M SPR−2→SPR	●	●	●	●	●	●

① P/V=0 : BCR−1=0, P/V=1 : BCR−1≠0

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes		Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
PUSH	PUSH IX	11 011 101 11 100 101	IMP	IMP	6	2	14	$IXL_r \rightarrow (SP-2)_M$ $IXH_r \rightarrow (SP-1)_M$ $SP_R - 2 \rightarrow SP_R$	●	●	●	●	●	●
	PUSH IY	11 111 101 11 100 101	IMP	IMP	6	2	14	$IYL_r \rightarrow (SP-2)_M$ $IYH_r \rightarrow (SP-1)_M$ $SP_R - 2 \rightarrow SP_R$	●	●	●	●	●	●
POP	POP zz	11 zz0 001	IMP	REG	3	1	9	$(SP+1)_M \rightarrow zzH_r$ $(SP)_M \rightarrow zzL_r$ $SP_R + 2 \rightarrow SP_R$	●	●	●	●	●	●
	POP IX	11 011 101 11 100 001	IMP	IMP	4	2	12	$(SP+1)_M \rightarrow IXH_r$ $(SP)_M \rightarrow IXL_r$ $SP_R + 2 \rightarrow SP_R$	●	●	●	●	●	●
	POP IY	11 111 101 11 100 001	IMP	IMP	4	2	12	$(SP+1)_M \rightarrow IYH_r$ $(SP)_M \rightarrow IYL_r$ $SP_R + 2 \rightarrow SP_R$	●	●	●	●	●	●
Exchange	EX AF, AF	00 001 000	IMP	IMP	2	1	4	$AF_R \leftrightarrow AF_R'$	●	●	●	●	●	●
	EX DE, HL	11 101 011	IMP	IMP	1	1	3	$DE_R \leftrightarrow HL_R$	●	●	●	●	●	●
	EXX	11 011 001	IMP	IMP	1	1	3	$BC_R \leftrightarrow BC_R'$ $DE_R \leftrightarrow DE_R'$ $HL_R \leftrightarrow HL_R'$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
Exchange	EX (SP), HL	11 100 011	IMP	IMP	6	1	16	$H_r \leftrightarrow (SP+1)_M$ $L_r \leftrightarrow (SP)_M$	●	●	●	●	●	●
	EX (SP), IX	11 011 101 11 100 011	IMP	IMP	7	2	19	$IXH_r \leftrightarrow (SP+1)_M$ $IXL_r \leftrightarrow (SP)_M$	●	●	●	●	●	●
	EX (SP), IY	11 111 101 11 100 011	IMP	IMP	7	2	19	$IYH_r \leftrightarrow (SP+1)_M$ $IYL_r \leftrightarrow (SP)_M$	●	●	●	●	●	●
Call	CALL mn	11 001 101 ⟨n⟩ ⟨m⟩		EXT	6	3	16	$PCH_r \rightarrow (SP-1)_M$ $PCL_r \rightarrow (SP-2)_M$ $mn \rightarrow PC_R$ $SP_R - 2 \rightarrow SP_R$	●	●	●	●	●	●
	CALL f, mn	11 f 100 ⟨n⟩ ⟨m⟩		EXT	2 6	3 3	6(f : false) 16(f : true)	continue : f is false CALL mn : f is true	●	●	●	●	●	●
Jump	DJNZ j	00 010 000 ⟨j-2⟩		REL	5 3	2 2	9 7	$(B_r \neq 0)$ $(B_r = 0)$ $B_r - 1 \rightarrow B_r$ contine : $B_r = 0$ $PC_R + j \rightarrow PC_R$: $B_r \neq 0$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag 7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Jump	JP f, mn	11 f 010 〈 n 〉 〈 m 〉		EXT	2 3	3 3	6 9	(f : false) (f : true) mn→PC_R : f is true continue : f is false	●	●	●	●	●	●
	JP mn	11 000 011 〈 n 〉 〈 m 〉		EXT	3	3	9	mn→PC_R	●	●	●	●	●	●
	JP (HL)	11 101 001		REGI	1	1	3	HL_R→PC_R	●	●	●	●	●	●
	JP (IX)	11 011 101 11 101 001		REGI	2	2	6	IX_R→PC_R	●	●	●	●	●	●
	JP (IY)	11 111 101 11 101 001		REGI	2	2	6	IY_R→PC_R	●	●	●	●	●	●
	JR j	00 011 000 〈 j-2 〉		REL	4	2	8	PC_R+j→PC_R	●	●	●	●	●	●
	JR C, j	00 111 000 〈 j-2 〉		REL	2 4	2 2	6 8	continue : C=0 PC_R+j→PC_R : C=1	●	●	●	●	●	●
	JR NC, j	00 110 000 〈 j-2 〉		REL	2 4	2 2	6 8	continue : C=1 PC_R+j→PC_R : C=0	●	●	●	●	●	●
	JR Z, j	00 101 000 〈 j-2 〉		REL	2 4	2 2	6 8	continue : Z=0 PC_R+j→PC_R : Z=1	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Jump	JR NZ, j	00 100 000 < j-2 >		REL	2 4	2 2	6 8	continue : Z=1 $PC_R + j \rightarrow PC_R$: Z=0	●	●	●	●	●	●
Return	RET	11 001 001		IMP	3	1	9	$(SP)_M \rightarrow PCL_r$ $(SP+1)_M \rightarrow PCH_r$ $SP_R + 2 \rightarrow SP_R$	●	●	●	●	●	●
	RET f	11 f 000		IMP	3 4	1 1	5(f: false) 10(f: true)	continue : f is false RET : f is true	●	●	●	●	●	●
	RETI	11 101 101 01 001 101		IMP	4	2	12	Return from interrupt	●	●	●	●	●	●
	RETN	11 101 101 01 000 101		IMP	4	2	12	Return from non-maskable interrupt	●	●	●	●	●	●
Restart	RST v	11 v 111		IMP	5	1	11	$PCH_r \rightarrow (SP-1)_M$ $PCL_r \rightarrow (SP-2)_M$ $0 \rightarrow PCH_r$ $v \rightarrow PCL_r$ $SP_R - 2 \rightarrow SP_R$	●	●	●	●	●	●
INPUT	IN A, (m)	11 011 011 < m >	IO	IMP	3	2	9	$(Am)_I \rightarrow A_r$ $m \rightarrow A_0 \sim A_7$ $A_r \rightarrow A_8 \sim A_{15}$	●	●	●	●	●	●

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
INPUT	IN g, (C)	11 101 101 01 g 000	IO	REG	3	2	9	$(BC)_I \rightarrow g_r$ g=110 : Only the flags will change. $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	↕	↕	R	P	R	●
	IN0 g, (m)	11 101 101 00 g 000 ⟨m⟩	IO	REG	4	3	12	$(00m)_I \rightarrow g_r$ g=110 : Only the flags will change. $m \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	↕	↕	R	P	R	●
	IND	11 101 101 10 101 010	IO	REGI	4	2	12	$(BC)_I \rightarrow (HL)_M$ $HL_R - 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	③ ↕	X	X	④ ↕	X
	INDR	11 101 101 10 111 010	IO	REGI	6 4	2 2	14 $(B_r \neq 0)$ 12 $(B_r = 0)$	Q [$(BC)_I \rightarrow (HL)_M$ $HL_R - 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$] Repeat Q until $B_r = 0$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	S	X	X	④ ↕	X

Operation name	MNEMONICS	OP-code	Addressing Modes S	Addressing Modes D	Machine Cycles		States	Operation	Flag 7 S	6 Z	4 H	2 P/V	1 N	0 C
INPUT	INI	11 101 101 10 100 010	IO	REGI	4	2	12	$(BC)_I \rightarrow (HL)_M$ $HL_R + 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	③ ↕	X	X	④ ↕	X
	INIR	11 101 101 10 110 010	IO	REGI	6 4	2 2	14 $(B_r \neq 0)$ 12 $(B_r = 0)$	Q [$(BC)_I \rightarrow (HL)_M$ $HL_R + 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$] Repeat Q until $B_r = 0$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	S	X	X	④ ↕	X
OUTPUT	OUT (m), A	11 010 011 < m >	IMP	IO	4	2	10	$A_r \rightarrow (Am)_I$ $m \rightarrow A_0 \sim A_7$ $A_r \rightarrow A_8 \sim A_{15}$	●	●	●	●	●	●

③ $Z = 1 : B_r - 1 = 0$　④ $N = 1$: MSB of Data $= 1$
　$Z = 0 : B_r - 1 \neq 0$　　$N = 0$: MSB of Data $= 0$

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
OUTPUT	OUT (C),g	11 101 101 01 g 001	REG	IO	4	2	10	$g_r \rightarrow (BC)_I$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	●	●	●	●	●	●
	OUT0 (m),g	11 101 101 00 g 001 〈m〉	REG	IO	5	3	13	$g_r \rightarrow (00m)_I$ $m \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	●	●	●	●	●	●
	OTDM	11 101 101 10 001 011	REGI	IO	6	2	14	$(HL)_M \rightarrow (00C)_I$ $HL_R - 1 \rightarrow HL_R$ $C_r - 1 \rightarrow C_r$ $B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	↕	③ ↕	↕	P	④ ↕	↕
	OTDMR	11 101 101 10 011 011	REGI	IO	8 6	2 2	16 $(B_r \neq 0)$ 14 $(B_r = 0)$	Q [$(HL)_M \rightarrow (00C)_I$ $HL_R - 1 \rightarrow HL_R$ $C_r - 1 \rightarrow C_r$ $B_r - 1 \rightarrow B_r$] Repeat Q until $B_r = 0$ $C_r \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	R	S	R	S	④ ↕	R

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
OUTPUT									③				④	
	OTIM	11 101 101 10 000 011	REGI	IO	6	2	14	$(HL)_M \to (00C)_I$ $HL_R + 1 \to HL_R$ $C_r + 1 \to C_r$ $B_r - 1 \to B_r$ $C_r \to A_0 \sim A_7$ $00 \to A_8 \sim A_{15}$	↕	↕	↕	P	↕	↕
													④	
	OTIMR	11 101 101 10 010 011	REGI	IO	8 6	2 2	16 $(B_r \neq 0)$ 14 $(B_r = 0)$	Q [$(HL)_M \to (00C)_I$ $HL_R + 1 \to HL_R$ $C_r + 1 \to C_r$ $B_r - 1 \to B_r$ Repeat Q until $B_r = 0$ $C_r \to A_0 \sim A_7$ $00 \to A_8 \sim A_{15}$	R	S	R	S	↕	R

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
			S	D					7	6	4	2	1	0
									S	Z	H	P/V	N	C
OUTPUT										③			④	
	OUTD	11 101 101 10 101 011	REGI	IO	4	2	12	$(HL)_M \rightarrow (BC)_I$ $HL_R - 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	↕	X	X	↕	X
													④	
	OTDR	11 101 101 10 111 011	REGI	IO	6 4	2 2	14 $(B_r \neq 0)$ 12 $(B_r = 0)$	Q [$(HL)_M \rightarrow (BC)_I$ $HL_R - 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$] Repeat Q until $B_r = 0$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	S	X	X	↕	X
										③			④	
	OUTI	11 101 101 10 100 011	REGI	IO	4	2	12	$(HL)_M \rightarrow (BC)_I$ $HL_R + 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	↕	X	X	↕	X

Operation name	MNEMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
OUTPUT														
	OTIR	11 101 101 10 110 011	REGI	IO	6 4	2 2	14 ($B_r \neq 0$) 12 ($B_r = 0$)	Q [$(HL)_M \rightarrow (BC)_I$, $HL_R + 1 \rightarrow HL_R$, $B_r - 1 \rightarrow B_r$] Repeat Q until $B_r = 0$ $C_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	X	S	X	X	↕ ④	X
	TSTIO m	11 101 101 01 110 100 < m >	IMMED/ IO		4	3	12	$(00C)_I \cdot m$ $C_r \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	↕	↕	S	P	R	R

③ $Z=1$: $B_r - 1 = 0$, $Z=0$: $B_r - 1 \neq 0$

④ $N=1$: MSB of Data$=1$, $N=0$: MSB of Data$=0$

Operation name	MENMONICS	OP-code	Addressing Modes		Machine Cycles	Bytes	States	Operation	Flag					
									7	6	4	2	1	0
			S	D					S	Z	H	P/V	N	C
Special Function	DAA	00 100 111	IMP	IMP	2	1	4	Decimal Adjust Accumulator	↕	↕	↕	P	●	↕
Carry Control	CCF	00 111 111			1	1	3	c̄→c	●	●	R	●	R	↕
	SCF	00 110 111			1	1	3	1→c	●	●	R	●	R	S
CPU Control	DI	11 110 011			1	1	3	0→IEF1, IEF2⑤	●	●	●	●	●	●
	EI	11 111 011			1	1	3	1→IEF1, IEF2⑤	●	●	●	●	●	●
	HALT	01 110 110			1	1	3	CPU halted	●	●	●	●	●	●
	IM 0	11 101 101 01 000 110			2	2	6	Interrupt mode 0	●	●	●	●	●	●
	IM 1	11 101 101 01 010 110			2	2	6	Interrupt mode 1	●	●	●	●	●	●
	IM 2	11 101 101 01 011 110			2	2	6	Interrupt mode 2	●	●	●	●	●	●
	NOP	00 000 000			1	1	3	No operation	●	●	●	●	●	●
	SLP	11 101 101 01 110 110			2	2	8	Sleep	●	●	●	●	●	●

⑤DIまたはEIの最後では割込みはサンプリングされません。

各バスサイクルの状態一覧表

＊：不定　Z：ハイインピーダンス

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
ADD HL, ww	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2 ~MC_5	T_i T_i T_i T_i	*	Z	1	1	1	1	1	1	1
ADD IX, xx ADD IY, yy	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3 ~MC_6	T_i T_i T_i T_i	*	Z	1	1	1	1	1	1	1
ADC HL, ww SBC HL, ww	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3 ~MC_6	T_i T_i T_i T_i	*	Z	1	1	1	1	1	1	1
ADD A, g ADC A, g SUB g	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
SBC A, g AND g OR g XOR g CP g	MC_2	Ti	*	Z	1	1	1	1	1	1	1
ADD A, m ADC A, m SUB m SBC A, m AND m OR m XOR m CP m	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
ADD A, (HL) ADC A, (HL) SUB (HL) SBC A, (HL) AND (HL) OR (HL) XOR (HL) CP (HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST

ADD A,(IX+d)
ADD A,(IY+d)
ADC A,(IX+d)
ADC A,(IY+d)
SUB (IX+d)
SUB (IY+d)
SBC A,(IX+d)
SBC A,(IY+d)
AND (IX+d)
AND (IY+d)
OR (IX+d)
OR (IY+d)
XOR (IX+d)
XOR (IY+d)
CP (IX+d)
CP (IY+d)
	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4 ~MC_5	$T_i T_i$	*	Z	1	1	1	1	1	1	1
	MC_6	$T_1 T_2 T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1
BIT b,g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
BIT b,(HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
BIT b,(IX+d) BIT b,(IY+d)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	Mc_4	$T_1 T_2 T_3$	3rd op-code Address	3rd op-code	0	1	0	1	0	1	1
	MC_5	$T_1 T_2 T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1
CALL mn	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
CALL mn	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP-1	PCH	1	0	0	1	1	1	1
	MC_6	$T_1 T_2 T_3$	SP-2	PCL	1	0	0	1	1	1	1
CALL f, mn (If condition is false)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
CALL f, mn (If condition is true)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP-1	PCH	1	0	0	1	1	1	1
	MC_6	$T_1 T_2 T_3$	SP-2	PCL	1	0	0	1	1	1	1

Instruction	Machine Cycle		ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
CCF	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
CPI CPD	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4 ~ MC_6	$T_i T_i T_i$	*	Z	1	1	1	1	1	1	1
CPIR CPDR (If $BC_R \neq 0$ and $A_r \neq (HL)_M$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4 ~ MC_8	$T_i T_i T_i T_i T_i$	*	Z	1	1	1	1	1	1	1
CPIR CPDR (If $BC_R = 0$ or $A_r = (HL)_M$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
CPIR CPDR (If $BC_R=0$ or $A_r=(HL)_M$)	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4 ~MC_6	Ti Ti Ti	*	Z	1	1	1	1	1	1	1
CPL	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DAA	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
DI	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DJNZ j (If $B_r\neq0$)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti ＊1	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1T_2T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
	MC_4 ~MC_5	Ti Ti	*	Z	1	1	1	1	1	1	1

＊1 このステートの直後で、DMA、リフレッシュ、BUS、RELEASEを実行することはできません。(要求を入力しても無視されます。)

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
DJNZ j (If $B_r=0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti *1	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
EI	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
EX DE, HL EXX	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
EX AF, AF'	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
EX (SP), HL	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP+1	H	1	0	0	1	1	1	1

*1 このステートの直後で、DMA、リフレッシュ、BUS、RELEASEを実行することはできません。(要求を入力しても無視されます。)

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
EX (SP), HL	MC_6	$T_1 T_2 T_3$	SP	L	1	0	0	1	1	1	1
EX (SP), IX EX (SP), IY	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
	MC_5	Ti	*	Z	1	1	1	1	1	1	1
	MC_6	$T_1 T_2 T_3$	SP+1	IXH IYH	1	0	0	1	1	1	1
	MC_7	$T_1 T_2 T_3$	SP	IXL IYL	1	0	0	1	1	1	1
HALT	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	――	――――	Next op-code Address	Next op-code	0	1	0	1	0	0	0
IM 0 IM 1 IM 2	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
INC g DEC g	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
INC (HL) DEC (HL)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1T_2T_3$	HL	DATA	1	0	0	1	1	1	1
INC (IX+d) INC (IY+d) DEC (IX+d) DEC (IY+d)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4 ~MC_5	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_6	$T_1T_2T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
INC (IX+d) INC (IY+d) DEC (IX+d) DEC (IY+d)	MC_7	Ti	*	Z	1	1	1	1	1	1	1
	MC_8	$T_1 T_2 T_3$	IX+d IY+d	DATA	1	0	0	1	1	1	1
INC ww DEC ww	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
INC IX INC IY DEC IX DEC IY	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
IN A, (m)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	m to $A_0 \sim A_7$ A to $A_8 \sim A_{15}$	DATA	0	1	1	0	1	1	1
IN g, (C)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	$\overline{ME}$	$\overline{IOE}$	LIR	$\overline{HALT}$	ST
IN g, (C)	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	BC	DATA	0	1	1	0	1	1	1
IN0 g,(m)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	m to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	DATA	0	1	1	0	1	1	1
INI IND	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	BC	DATA	0	1	1	0	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
INIR INDR (If $B_r \neq 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
INIR INDR (If $B_r \neq 0$)	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	BC	DATA	0	1	1	0	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
	MC_5 ~MC_6	$T_i T_i$	*	Z	1	1	1	1	1	1	1
INIR INDR (If $B_r = 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	BC	DATA	0	1	1	0	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
JP mn	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
JP f, mn (If f is false)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	1st operand Address	n	0	1	0	1	1	1	1
JP f, mn (If f is true)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1T_2T_3$	2nd operand Address	m	0	1	0	1	1	1	1
JP (HL)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
JP (IX) JP (IY)	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
JR j	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
	MC_3 ~MC_4	T_iT_i	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
JR C, j JR NC, j JR Z, j JR NZ, j (If condition is false)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
JR C, j JR NC, j JR Z, j JR NZ, j (If condition is true)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
	MC_3 ~MC_4	$T_i T_i$	*	Z	1	1	1	1	1	1	1
LD g, g'	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_i	*	Z	1	1	1	1	1	1	1
LD g, m	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
LD g, (HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
LD g,(IX+d) LD g,(IY+d)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4 ~MC_5	$T_i T_i$	*	Z	1	1	1	1	1	1	1
	MC_6	$T_1 T_2 T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1
LD (HL), g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_i	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1 T_2 T_3$	HL	g	1	0	0	1	1	1	1
LD (IX+d), g LD (IY+d), g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
LD (IX+d), g LD (IY+d), g	MC_4 ~MC_6	Ti Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_7	$T_1 T_2 T_3$	IX+d IY+d	g	1	0	0	1	1	1	1
LD (HL), m	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
LD (IX+d), m LD (IY+d), m	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	IX+d IY+d	DATA	1	0	0	1	1	1	1
LD A, (BC) LD A, (DE)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
LD A,(BC) LD A,(DE)	MC_2	$T_1 T_2 T_3$	BC DE	DATA	0	1	0	1	1	1	1
LD A,(mn)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	mn	DATA	0	1	0	1	1	1	1
LD (BC),A LD (DE),A	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1 T_2 T_3$	BC DE	A	1	0	0	1	1	1	1
LD (mn),A	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	mn	A	1	0	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST

LD A, I
LD A, R
LD I, A
LD R, A
	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0

	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
LD ww, mn	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	T_1 T_2 T_3	2nd operand Address	m	0	1	0	1	1	1	1
LD IX, mn LD IY, mn	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	T_1 T_2 T_3	1st operand Address	n	0	1	0	1	1	1	1
	MC_4	T_1 T_2 T_3	2nd operand Address	m	0	1	0	1	1	1	1
LD HL, (mn)	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	1st operand Address	n	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
LD HL, (mn)	MC_3	$T_1\,T_2\,T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	$T_1\,T_2\,T_3$	mn	DATA	0	1	0	1	1	1	1
	MC_5	$T_1\,T_2\,T_3$	mn + 1	DATA	0	1	0	1	1	1	1
LD ww, (mn)	MC_1	$T_1\,T_2\,T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1\,T_2\,T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1\,T_2\,T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_4	$T_1\,T_2\,T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_5	$T_1\,T_2\,T_3$	mn	DATA	0	1	0	1	1	1	1
	MC_6	$T_1\,T_2\,T_3$	mn + 1	DATA	0	1	0	1	1	1	1
LD IX, (mn) LD IY, (mn)	MC_1	$T_1\,T_2\,T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1\,T_2\,T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
LD IX,(mn) LD IY,(mn)	MC_3	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	mn	DATA	0	1	0	1	1	1	1
	MC_6	$T_1 T_2 T_3$	mn+1	DATA	0	1	0	1	1	1	1
LD (mn),HL	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	mn	L	1	0	0	1	1	1	1
	MC_6	$T_1 T_2 T_3$	mn+1	H	1	0	0	1	1	1	1
LD (mn),ww	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
LD (mn), ww	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_4	$T_1T_2T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_5	Ti	*	Z	1	1	1	1	1	1	1
	MC_6	$T_1T_2T_3$	mn	wwL	1	0	0	1	1	1	1
	MC_7	$T_1T_2T_3$	mn+1	wwH	1	0	0	1	1	1	1
LD (mn), IX LD (mn), IY	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	1st operand Address	n	0	1	0	1	1	1	1
	MC_4	$T_1T_2T_3$	2nd operand Address	m	0	1	0	1	1	1	1
	MC_5	Ti	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
LD (mn), IX LD (mn), IY	MC_6	$T_1 T_2 T_3$	mn	IXL IYL	1	0	0	1	1	1	1
	MC_7	$T_1 T_2 T_3$	mn+1	IXH IYH	1	0	0	1	1	1	1
LD SP, HL	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
LD SP, IX LD SP, IY	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
LDI LDD	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	DE	DATA	1	0	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	LIR	$\overline{HALT}$	ST
LDIR LDDR (If $BC_R \neq 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	DE	DATA	1	0	0	1	1	1	1
	MC_5 ~MC_6	$T_i T_i$	*	Z	1	1	1	1	1	1	1
LDIR LDDR (If $BC_R = 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	DE	DATA	1	0	0	1	1	1	1
MLT ww	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
MLT ww	MC_3 ~ MC_{13}	Ti Ti Ti Ti Ti Ti Ti Ti Ti Ti Ti	*	Z	1	1	1	1	1	1	1
NEG	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
NOP	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OUT (m), A	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	1st operand Address	m	0	1	0	1	1	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	T_1 T_2 T_3	m to A_0 ~ A_7 A to A_8 ~ A_{15}	A	1	0	1	0	1	1	1
OUT (C), g	MC_1	T_1 T_2 T_3	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_1 T_2 T_3	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	T_1 T_2 T_3	BC	g	1	0	1	0	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
OUT0 (m), g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	m to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	g	1	0	1	0	1	1	1
OTIM OTDM	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	C to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	DATA	1	0	1	0	1	1	1
	MC_6	Ti	*	Z	1	1	1	1	1	1	1
OTIMR OTDMR (If $B_r \neq 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
OTIMR OTDMR (If $B_r \neq 0$)	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	C to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	DATA	1	0	1	0	1	1	1
	MC_6 $\sim MC_8$	Ti Ti Ti	*	Z	1	1	1	1	1	1	1
OTIMR OTDMR (If $B_r = 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	C to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	DATA	1	0	1	0	1	1	1
	MC_6	Ti	*	Z	1	1	1	1	1	1	1
OUTI OUTD	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
OUTI OUTD	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	BC	DATA	1	0	1	0	1	1	1
OTIR OTDR (If $B_r \neq 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	BC	DATA	1	0	1	0	1	1	1
	MC_5 ~MC_6	$T_i T_i$	*	Z	1	1	1	1	1	1	1
OTIR OTDR (If $B_r = 0$)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	BC	DATA	1	0	1	0	1	1	1
POP zz	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
POP zz	MC_3	$T_1T_2T_3$	SP+1	DATA	0	1	0	1	1	1	1
POP IX POP IY	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_4	$T_1T_2T_3$	SP+1	DATA	0	1	0	1	1	1	1
PUSH zz	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2 ~MC_3	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1T_2T_3$	SP-1	zzH	1	0	0	1	1	1	1
	MC_5	$T_1T_2T_3$	SP-2	zzL	1	0	0	1	1	1	1
PUSH IX PUSH IY	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3 ~MC_4	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1T_2T_3$	SP-1	IXH IYH	1	0	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
PUSH IX PUSH IY	MC_6	$T_1 T_2 T_3$	SP-2	IXL IYL	1	0	0	1	1	1	1
RET	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
RET f (If condition is false)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2 $\sim MC_3$	$T_i T_i$	*	Z	1	1	1	1	1	1	1
RET f (If condition is true)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	T_i	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
RETI RETN	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
RETI RETN	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
RLCA RLA RRCA RRA	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
RLC g RL g RRC g RR g SLA g SRA g SRL g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
RLC (HL) RL (HL) RRC (HL) RR (HL) SLA (HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
SRA (HL) SRL (HL)	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
RLC (IX+d) RLC (IY+d) RL (IX+d) RL (IY+d) RRC (IX+d) RRC (IY+d) RR (IX+d) RR (IY+d) SLA (IX+d) SLA (IY+d) SRA (IX+d) SRA (IY+d) SRL (IX+d) SRL (IY+d)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	3rd op-code Address	3rd op-code	0	1	0	1	0	1	1
	MC_5	$T_1 T_2 T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1
	MC_6	Ti	*	Z	1	1	1	1	1	1	1
	MC_7	$T_1 T_2 T_3$	IX+d IY+d	DATA	1	0	0	1	1	1	1
RLD RRD	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
RLD RRD	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4 ~MC_7	Ti Ti Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_8	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
RST v	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2 ~MC_3	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP−1	PCH	1	0	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP−2	PCL	1	0	0	1	1	1	1
SCF	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
SET b, g RES b, g	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	$\overline{ST}$
SET b,(HL) RES b,(HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1
	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	HL	DATA	1	0	0	1	1	1	1
SET b,(IX+d) SET b,(IY+d) RES b,(IX+d) RES b,(IY+d)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	3rd op-code Address	3rd op-code	0	1	0	1	0	1	1
	MC_5	$T_1 T_2 T_3$	IX+d IY+d	DATA	0	1	0	1	1	1	1
	MC_6	Ti	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	LIR	$\overline{HALT}$	ST
	MC_7	$T_1T_2T_3$	IX+d IY+d	DATA	1	0	0	1	1	1	1
SLP	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	――	――	7FFFFH	Z	1	1	1	1	1	0	1
TSTIO m	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1T_2T_3$	1st operand Address	m	0	1	0	1	1	1	1
	MC_4	$T_1T_2T_3$	C to $A_0 \sim A_7$ 00H to $A_8 \sim A_{15}$	DATA	0	1	1	0	1	1	1
TST g	MC_1	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
TST m	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
TST (HL)	MC_1	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC_2	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC_3	Ti	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	HL	DATA	0	1	0	1	1	1	1

INTERRUPT

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
$\overline{NMI}$	MC_1	$T_1 T_2 T_3$	Next op-code Address (PC)	——	0	1	0	1	0	1	0
	MC_2 ~ MC_3	$T_i T_i$	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP−1	PCH	1	0	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP−2	PCL	1	0	0	1	1	1	1
$\overline{INT_0}$ MODE 0 (RST INSERTED)	MC_1	$T_1 T_2 T_w$ $T_w T_3$	Next op-code Address (PC)	1st op-code	1	1	1	0	0	1	0
	MC_2 ~ MC_3	$T_i T_i$	*	Z	1	1	1	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP−1	PCH	1	0	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP−2	PCL	1	0	0	1	1	1	1
$\overline{INT_0}$ MODE 0 (CALL INSERTED)	MC_1	$T_1 T_2 T_w$ $T_w T_3$	Next op-code Address (PC)	1st op-code	1	1	1	0	0	1	0
	MC_2	$T_1 T_2 T_3$	PC	n	0	1	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	PC+1	m	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
$\overline{INT_0}$ MODE 0 (CALL INSERTED)	MC_4	Ti	*	Z	1	1	1	1	1	1	1
	MC_5	$T_1 T_2 T_3$	SP − 1	PC + 2 (H)	1	0	0	1	1	1	1
	MC_6	$T_1 T_2 T_3$	SP − 2	PC + 2 (L)	1	0	0	1	1	1	1
$\overline{INT_0}$ MODE 1	MC_1	$T_1 T_2 T_W T_W T_3$	Next op-code Address (PC)	Z	1	1	1	0	0	1	0
	MC_2	$T_1 T_2 T_3$	SP − 1	PCH	1	0	0	1	1	1	1
	MC_3	$T_1 T_2 T_3$	SP − 2	PCL	1	0	0	1	1	1	1
$\overline{INT_0}$ MODE 2	MC_1	$T_1 T_2 T_W T_W T_3$	Next op-code Address (PC)	ベクタ	1	1	1	0	0	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1 T_2 T_3$	SP − 1	PCH	1	0	0	1	1	1	1
	MC_4	$T_1 T_2 T_3$	SP − 2	PCL	1	0	0	1	1	1	1
	MC_5	$T_1 T_2 T_3$	I, ベクタ	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	$\overline{RD}$	$\overline{WR}$	$\overline{ME}$	$\overline{IOE}$	$\overline{LIR}$	$\overline{HALT}$	ST
$\overline{INT_0}$ MODE 2	MC_6	$T_1\ T_2\ T_3$	I, ベクタ+1	DATA	0	1	0	1	1	1	1
$\overline{INT_1}$ $\overline{INT_2}$ 内部割込み	MC_1	$T_1\ T_2\ T_w$ $T_w\ T_3$	Next op-code Address (PC)	Z	1	1	1	1	1	1	0
	MC_2	Ti	*	Z	1	1	1	1	1	1	1
	MC_3	$T_1\ T_2\ T_3$	SP−1	PCH	1	0	0	1	1	1	1
	MC_4	$T_1\ T_2\ T_3$	SP−2	PCL	1	0	0	1	1	1	1
	MC_5	$T_1\ T_2\ T_3$	I, ベクタ	DATA	0	1	0	1	1	1	1
	MC_6	$T_1\ T_2\ T_3$	I, ベクタ+1	DATA	0	1	0	1	1	1	1

表-1 HD64180オペコードマップ

第1オペコード XXの形の命令

			ww (LO=ALL)												LO=0~7				
			BC	DE	HL	SP									BC	DE	HL	AF	zz
			g (LO=0~7)												NZ	NC	PO	P	f
			B	D	H	(HL)	B	D	H	(HL)					00H	10H	20H	30H	v
		HI	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
S (HI=ALL)	LO		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
B	0000	0	NOP	DJNZ j	JR NZ, j	JR NC, j	LD g, s				ADD A, s	SUB s	AND s	OR s	RET f				0
C	0001	1	LD ww, mn							注1)					POP zz				1
D	0010	2	LD (ww), A		LD (mn), HL	LD (mn), A									JP f, mn				2
E	0011	3	INC ww												JP mn	OUT (m), A	EX (SP), HL	DI	3
H	0100	4	INC g			注1)									CALL f, mn				4
L	0101	5	DEC g			注1)									PUSH zz				5
(HL)	0110	6	LD g, m			注1)	注2)			HALT	注2)	注2)	注2)	注2)	ADD A, m	SUB m	AND m	OR m	6
A	0111	7	RLCA	RLA	DAA	SCF									RST v				7
B	1000	8	EXAF, AF'	JR j	JR Z, j	JR C, j	LD g, s				ADC A, s	SBC A, s	XOR s	CP s	RET f				8
C	1001	9	ADD HL, ww												RET	EXX	JP (HL)	LD SP, HL	9
D	1010	A	LD A, (ww)		LD HL, (mn)	LD A, (mn)									JP f, mn				A
E	1011	B	DEC ww												表2	IN A, (m)	EXDE, HL	EI	B
H	1100	C	INC g												CALL f, mn				C
L	1101	D	DEC g												CALL mn	注3)	表3	注3)	D
(HL)	1110	E	LD g, m				注2)				注2)	注2)	注2)	注2)	ADC A, m	SBC A, m	XOR m	CP m	E
A	1111	F	RRCA	RRA	CPL	CCF									RST v				F
			0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
			C	E	L	A	C	E	L	A					Z	C	PE	M	f
			g (LO=8~F)												08H	18H	28H	38H	v
															LO=8~F				

注1)　g が(HL)に置きかわる。
注2)　s が(HL)に置きかわる。
注3)　オペコードの先頭にDDを付加すると(DD XX)、オペランドとして、HL, (HL) をもつ命令のみ　HL→IX　と置きかえられて同じオペレーションをする。
(HL)→(IX+d)

(例)　22H ; LD (mn), HL
↓
DDH 22H ; LD (mn), IX

同様にオペコードの先頭にFDを付加すると、(FD XX)として　HL→IY
(HL)→(IY+d)
と置きかえられて、同じオペレーションをする。

(例)　34H ; INC (HL)
↓
FDH 34H ; INC (IY+d)

ただし、例外として、E9HのJP(HL)は、先頭にDDH, FDHを付加した場合、(HL)は(IX), (IY)に置きかえられる。
また、EBHのEX DE, HL は、先頭にDDH, FDHを付加しても、HLの置き換えは無く未定義命令となる。

表-2 HD64180オペコードマップ

第2オペコード CBXXの形の命令

g (HI=ALL)	LO		HI 0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
		b (LO=0~7)					0	2	4	6	0	2	4	6	0	2	4	6	
			0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
B	0000	0																	0
C	0001	1																	1
D	0010	2																	2
E	0011	3																	3
H	0100	4	RLC g	RL g	SLA g		BIT b,g				RES b,g				SET b,g				4
L	0101	5																	5
(HL)	0110	6	注1)	注1)	注1)		注1)				注1)				注1)				6
A	0111	7																	7
B	1000	8																	8
C	1001	9																	9
D	1010	A																	A
E	1011	B																	B
H	1100	C	RRC g	RR g	SRA g	SRL g	BIT b,g				RES b,g				SET b,g				C
L	1101	D																	D
(HL)	1110	E	注1)	注1)	注1)	注1)	注1)				注1)				注1)				E
A	1111	F																	F
			0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
		b (LO=8~F)					1	3	5	7	1	3	5	7	1	3	5	7	

注1) オペコードの先頭にDDHを付加し、DD CB d XXというオペコードで(HL)を(IX+d)で置きかえた命令を実行する。
同様にオペコードの先頭にFDHを付加し、FD CB d XXというオペコードで(HL)を(IY+d)で置きかえた命令を実行する。

表-3 HD64180オペコードマップ　第2オペコードEDXXの形の命令

						ww (LO=ALL)											
						BC	DE	HL	SP								
		g (LO=0~7)															
		B	D	H		B	D	H									
LO \ HI		0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	IN0 g, (m)				IN g, (C)						LDI	LDIR				
0001	1	OUT0 (m), g				OUT (C), g						CPI	CPIR				
0010	2					SBC HL, ww						INI	INIR				
0011	3					LD (mn), ww				OTIM	OTIMR	OUTI	OTIR				
0100	4	TST g			TST (HL)	NEG		TST m	TSTIO m								
0101	5					RETN											
0110	6					IM0	IM1		SLP								
0111	7					LD I,A	LD A,I	RRD									
1000	8	IN0 g, (m)				IN g, (C)						LDD	LDDR				
1001	9	OUT0 (m), g				OUT (C), g						CPD	CPDR				
1010	A					ADC HL, ww						IND	INDR				
1011	B					LD ww, (mn)				OTDM	OTDMR	OUTD	OTDR				
1100	C	TST g				MLT ww											
1101	D					RETI											
1110	E						IM2										
1111	F					LD R,A	LD A,R	RLD									
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
		C	E	L	A	C	E	L	A								
		g (LO=8~F)															

内蔵I/Oレジスタ早見表

I/Oレジスタのアドレスは，上位8ビットすべて“0”であり，下位8ビット中MSBから2ビットは，I/Oコントロールレジスタ内のIOA7とIOA6により設定できます。以下の表に示すアドレスは，IOA7とIOA6が“0”の場合です。

レジスタ	ニーモニック	アドレス	備考
ASCIコントロールレジスタAチャネル0	:CNTLA0	00	(下表参照)
ASCIコントロールレジスタAチャネル1	:CNTLA1	01	(下表参照)

CNTLA0 (00):

ビット	MPE	RE	TE	RTS0	MPBR/EFR	MOD2	MOD1	MOD0
リセット時	0	0	0	1	不定	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CNTLA1 (01):

ビット	MPE	RE	TE	CKA1D	MPBR/EFR	MOD2	MOD1	MOD0
リセット時	0	0	0	0	不定	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MOD2, 1, 0

- 000：Start＋7bit Data＋1 stop
- 001：Start＋7bit Data＋2 stop
- 010：Start＋7bit Data＋Parity＋1 stop
- 011：Start＋7bit Data＋Parity＋2 stop
- 100：Start＋8bit Data＋1 stop
- 101：Start＋8bit Data＋2 stop
- 110：Start＋8bit Data＋Parity＋1 stop
- 111：Start＋8bit Data＋Parity＋2 stop

レジスタ	ニーモニック	アドレス	備考
ASCIコントロールレジスタBチャネル0	:CNTLB0	0 2	
ASCIコントロールレジスタBチャネル1	:CNTLB1	0 3	

ASCIコントロールレジスタBチャネル0 :CNTLB0（0 2）

ビット	MPBT	MP	$\overline{CTS}$/PS	PE0	DR	SS2	SS1	SS0
リセット時	不定	0	＊	0	0	1	1	1
R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

＊$\overline{CTS}$：$\overline{CTS}$端子の状態を取り込みます。
　PS　：クリアされた状態になっています。

ASCIコントロールレジスタBチャネル1 :CNTLB1（0 3）

ビット	MPBT	MP	$\overline{CTS}$/PS	PE0	DR	SS2	SS1	SS0
リセット時	不定	0	0	0	0	1	1	1
R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

総合分周比	PS＝0（分周比＝10）		PS＝1（分周比＝30）	
SS2, 1, 0	DR＝0(×16)	DR＝1(×64)	DR＝0(×16)	DR＝1(×64)
0 0 0	φ÷ 160	φ÷ 640	φ÷ 480	φ÷ 1,920
0 0 1	÷ 320	÷ 1,280	÷ 960	÷ 3,840
0 1 0	÷ 640	÷ 2,560	÷ 1,920	÷ 7,680
0 1 1	÷ 1,280	÷ 5,120	÷ 3,840	÷ 15,360
1 0 0	÷ 2,560	÷10,240	÷ 7,680	÷ 30,720
1 0 1	÷ 5,120	÷20,480	÷15,360	÷ 61,440
1 1 0	÷10,240	÷40,960	÷30,720	÷122,880
1 1 1	外部クロック入力(÷40以上)			

レジスタ	ニーモニック	アドレス	備考
ASCIステータスレジスタチャネル0	STAT0	0 4	（下表参照）
ASCIモード／ステータスレジスタチャネル1	STAT1	0 5	（下表参照）
ASCIトランスミットデータレジスタチャネル0	TDR0	0 6	
ASCIトランスミットデータレジスタチャネル1	TDR1	0 7	
ASCIレシーブデータレジスタチャネル0	TSR0	0 8	
ASCIレシーブデータレジスタチャネル1	TSR1	0 9	

ASCIステータスレジスタチャネル0 : STAT0 (0 4)

ビット	RDRF	OVRN	PE	FE	RIE	$\overline{\mathrm{DCD0}}$	TDRE	TIE
リセット時	0	0	0	0	0	*	**	0
R／W	R	R	R	R	R／W	R	R	R／W

* $\overline{\mathrm{DCD_0}}$端子の状態を取込みます。

** $\overline{\mathrm{CTS_0}}$端子	TDRE
L	1
H	0

ASCIモード／ステータスレジスタチャネル1 : STAT1 (0 5)

ビット	RDRF	OVRN	PE	FE	RIE	CTS1E	TDRE	TIE
リセット時	0	0	0	0	0	0	1	0
R／W	R	R	R	R	R／W	R／W	R	R／W

レジスタ	ニーモニック	アドレス	備考
CSI／0コントロールレジスタ	：CNTR	0 A	（下表参照）
CSI／0トランスミット／レシーブデータレジスタ	：TRDR	0 B	
タイマデータレジスタチャネル0L	：TMDR0L	0 C	
タイマデータレジスタチャネル0H	：TMDR0H	0 D	
タイマリロードレジスタチャネル0L	：RLDR0L	0 E	
タイマリロードレジスタチャネル0H	：RLDR0H	0 F	

ビット	EF	EIE	RE	TE	—	SS2	SS1	SS0
リセット時	0	0	0	0	1	1	1	1
R／W	R	R／W	R／W	R／W		R／W	R／W	R／W

SS2, 1, 0	ボーレート	SS2, 1, 0	ボーレート
0 0 0	φ÷ 20	1 0 0	φ÷ 320
0 0 1	÷ 40	1 0 1	÷ 640
0 1 0	÷ 80	1 1 0	÷1,280
0 1 1	÷160	1 1 1	外部(÷20以上)

<table>
<tr><th>レジスタ</th><th>ニーモニック</th><th>アドレス</th><th>備　考</th></tr>
<tr><td>タイマコントロールレジスタ</td><td>:TCR</td><td>1 0</td><td><table><tr><td>ビット</td><td>TIF1</td><td>TIF0</td><td>TIE1</td><td>TIE0</td><td>TOC1</td><td>TOC0</td><td>TDE1</td><td>TDE0</td></tr><tr><td>リセット時</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>R／W</td><td>R</td><td>R</td><td>R／W</td><td>R／W</td><td>R／W</td><td>R／W</td><td>R／W</td><td>R／W</td></tr></table><table><tr><th>TOC1, 0</th><th>A18／Tout端子</th></tr><tr><td>0 0</td><td>タイマ出力禁止</td></tr><tr><td>0 1</td><td>トグル出力</td></tr><tr><td>1 0</td><td>“0”出力</td></tr><tr><td>1 1</td><td>“1”出力</td></tr></table></td></tr>
<tr><td>タイマデータレジスタチャネル1L</td><td>:TMDR1L</td><td>1 4</td><td></td></tr>
<tr><td>タイマデータレジスタチャネル1H</td><td>:TMDR1H</td><td>1 5</td><td></td></tr>
<tr><td>タイマリロードレジスタチャネル1L</td><td>:RLDR1L</td><td>1 6</td><td></td></tr>
<tr><td>タイマリロードレジスタチャネル1H</td><td>:RLDR1H</td><td>1 7</td><td></td></tr>
<tr><td>フリーランニングカウンタ</td><td>:FRC</td><td>1 8</td><td>リードのみ</td></tr>
<tr><td>DMAソースアドレスレジスタチャネル0L</td><td>:SAR0L</td><td>2 0</td><td></td></tr>
<tr><td>DMAソースアドレスレジスタチャネル0H</td><td>:SAR0H</td><td>2 1</td><td></td></tr>
</table>

レジスタ	ニーモニック	アドレス	備　考
DMAソースアドレスレジスタチャネル0B	:SAR0B	22	ビット0,1,2のみ使用 A_{18}, A_{17}, A_{16} × 0 0　$\overline{DREQ_0}$ (外部) × 0 1　RDR0 (ASCI0) × 1 0　RDR1 (ASCI1) × 1 1　Not Used
DMAデスティネイションアドレスレジスタチャネル0L	:DAR0L	23	
DMAデスティネイションアドレスレジスタチャネル0H	:DAR0H	24	
DMAデスティネイションアドレスレジスタチャネル0B	:DAR0B	25	ビット0,1,2のみ使用 A_{18}, A_{17}, A_{16} × 0 0　$\overline{DREQ_0}$ (外部) × 0 1　TDR0 (ASCI0) × 1 0　TDR1 (ASCI1) × 1 1　Not Used
DMAバイトカウントレジスタチャネル0L	:BCR0L	26	
DMAバイトカウントレジスタチャネル0H	:BCR0H	27	

レジスタ	ニーモニック	アドレス	備考
DMAメモリアドレスレジスタチャネル1L	：MAR1L	28	
DMAメモリアドレスレジスタチャネル1H	：MAR1H	29	
DMAメモリアドレスレジスタチャネル1B	：MAR1B	2A	ビット0, 1, 2のみ使用
DMA I／Oアドレスレジスタチャネル1L	：IAR1L	2B	
DMA I／Oアドレスレジスタチャネル1H	：IAR1H	2C	
DMAバイトカウントレジスタチャネル1L	：BCR1L	2E	
DMAバイトカウントレジスタチャネル1H	：BCR1H	2F	
DMAステータスレジスタ	：DSTAT	30	(下表)
DMAモードレジスタ	：DMODE	31	(下表)

DSTAT（30）

ビット	DE1	DE0	$\overline{\mathrm{DWE1}}$	$\overline{\mathrm{DWE0}}$	DIE1	DIE0	——	DME
リセット時	0	0	1	1	0	0	1	0
R／W	R／W	R／W	W	W	R／W	R／W		R

DMODE（31）

ビット	——	——	DM1	DM0	SM1	SM0	MMOD	——
リセット時	1	1	0	0	0	0	0	1
R／W			R／W	R／W	R／W	R／W	R／W	

レジスタ	ニーモニック	アドレス	備考
DMA／WAITコントロールレジスタ	:DCNTL	32	(see below)

DM1,0		アドレス
0 0	M	DAR＋1
0 1	M	−1
1 0	M	固定
1 1	I／O	固定

SM1,0		アドレス
0 0	M	SAR＋1
0 1	M	−1
1 0	M	固定
1 1	I／O	固定

MMOD	モード
0	サイクルスチールモード
1	バーストモード

ビット	MWI1	MWI0	IWI1	IWI0	DMS1	DMS0	DIM1	DIM0
リセット時	1	1	1	1	0	0	0	0
R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

MWI1,0	ウェイトステート
0 0	0
0 1	1
1 0	2
1 1	3

IWI1,0	ウェイトステート
0 0	0
0 1	2
1 0	3
1 1	4

<table>
<tr><th>レジスタ</th><th>ニーモニック</th><th>アドレス</th><th>備　考</th></tr>
<tr><td></td><td></td><td></td><td>
<table>
<tr><th>DMSi</th><th></th></tr>
<tr><td>1</td><td>エッジ入力</td></tr>
<tr><td>0</td><td>レベル入力</td></tr>
</table>
<table>
<tr><th>DIM1,0</th><th></th><th>アドレス増減</th><th></th></tr>
<tr><td>0 0</td><td>M→I／O</td><td>MAR＋1</td><td>IAR固定</td></tr>
<tr><td>0 1</td><td>M→I／O</td><td>MAR－1</td><td>IAR固定</td></tr>
<tr><td>1 0</td><td>I／O→M</td><td>IAR固定</td><td>MAR＋1</td></tr>
<tr><td>1 1</td><td>I／O→M</td><td>IAR固定</td><td>MAR－1</td></tr>
</table>
</td></tr>
<tr><td>ILベクタレジスタ</td><td>:IL</td><td>3 3</td><td>
<table>
<tr><td>ビット</td><td>IL7</td><td>IL6</td><td>IL5</td><td>——</td><td>——</td><td>——</td><td>——</td><td>——</td></tr>
<tr><td>リセット時</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R／W</td><td>R／W</td><td>R／W</td><td>R／W</td><td></td><td></td><td></td><td></td><td></td></tr>
</table>
</td></tr>
<tr><td>INT／TRAPコントロールレジスタ</td><td>:ITC</td><td>3 4</td><td>
<table>
<tr><td>ビット</td><td>TRAP</td><td>UFO</td><td>——</td><td>——</td><td>——</td><td>ITE2</td><td>ITE1</td><td>ITE0</td></tr>
<tr><td>リセット時</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>R／W</td><td>R／W</td><td>R</td><td></td><td></td><td></td><td>R／W</td><td>R／W</td><td>R／W</td></tr>
</table>
</td></tr>
<tr><td>リフレッシュコントロールレジスタ</td><td>:RCR</td><td>3 6</td><td>
<table>
<tr><td>ビット</td><td>REFE</td><td>REFW</td><td>——</td><td>——</td><td>——</td><td>——</td><td>CYC1</td><td>CYC0</td></tr>
<tr><td>リセット時</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td></tr>
<tr><td>R／W</td><td>R／W</td><td>R／W</td><td></td><td></td><td></td><td></td><td>R／W</td><td>R／W</td></tr>
</table>
</td></tr>
</table>

<table>
<tr><th>レジスタ</th><th>ニーモニック</th><th>アドレス</th><th>備　　　　考</th></tr>
<tr><td></td><td></td><td></td><td>
<table>
<tr><th>CYC1,0</th><th>リフレッシュサイクル間隔</th></tr>
<tr><td>0 0</td><td>10ステート</td></tr>
<tr><td>0 1</td><td>20</td></tr>
<tr><td>1 0</td><td>40</td></tr>
<tr><td>1 1</td><td>80</td></tr>
</table>
</td></tr>
<tr><td>MMUコモンベースレジスタ</td><td>:CBR</td><td>3 8</td><td>
<table>
<tr><td>ビット</td><td>—</td><td>CB_6</td><td>CB_5</td><td>CB_4</td><td>CB_3</td><td>CB_2</td><td>CB_1</td><td>CB_0</td></tr>
<tr><td>リセット時</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>
</td></tr>
<tr><td>MMUバンクベースレジスタ</td><td>:BBR</td><td>3 9</td><td>
<table>
<tr><td>ビット</td><td>—</td><td>BB_6</td><td>BB_5</td><td>BB_4</td><td>BB_3</td><td>BB_2</td><td>BB_1</td><td>BB_0</td></tr>
<tr><td>リセット時</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>
</td></tr>
<tr><td>MMUコモン/バンクエリアレジスタ</td><td>:CBAR</td><td>3 A</td><td>
<table>
<tr><td>ビット</td><td>CA_3</td><td>CA_2</td><td>CA_1</td><td>CA_0</td><td>BA_3</td><td>BA_2</td><td>BA_1</td><td>BA_0</td></tr>
<tr><td>リセット時</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>
</td></tr>
<tr><td>I/Oコントロールレジスタ</td><td>: ICR</td><td>3 F</td><td>
<table>
<tr><td>ビット</td><td>IOA_7</td><td>IOA_6</td><td>IOSTP</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr>
<tr><td>リセット時</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td></td><td></td><td></td><td></td><td></td></tr>
</table>
</td></tr>
</table>

株式會社 日立製作所

電子事業本部
電子部品営業本部　〒100　東京都千代田区丸の内一丁目5番1号(新丸ビル)　電話　東京（03）212-1111(大代)

栃木電子部品営業所　西那須野（02873）6-3312
多摩電子部品営業所　立　川（0425）27-0410(代)
高崎電子部品営業所　高　崎（0273）25-2161
松本電子部品営業所　松　本（0263）36-6632
茨城電子部品営業所（特販第2部）　勝　田（0292）74-4011
厚木電子部品営業所　厚　木（0462）22-0763
新潟電子部品事務所　新　潟（0252）41-8161(代)
横浜電子部品事務所　横　浜（045）871-3929
沼津電子部品事務所　沼　津（0559）32-4962

関西支店　大　阪（06）261-1111(大代)
京滋営業所　京　都（075）341-1771(代)
九州支店　福　岡（092）741-5831(代)
中部支店　名古屋（052）251-3111(大代)
北海道支店　札　幌（011）261-3131(大代)
東北支店　仙　台（0222）23-0121(大代)
金沢営業所　金　沢（0762）63-2351(代)
中国支店　広　島（082）223-4111(代)
四国支店　高　松（0878）31-2111(代)

マイコンについての総合情報センター
日立マイコンセンター "GAIN"（03）253-1405(代)

AD-0069A Printed in Japan〈'86.7〉